

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)		Application Number	10/751,184
		Filing Date	12/30/2003
		First Named Inventor	Sang Hun Oh
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	15	Attorney Docket Number	PIA31069/ANS/US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks 1. Claim for Priority 2. Return Receipt Postcard	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600
Signature	
Date	January 27, 2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Andrew D. Fortney, Ph.D.		
Signature		Date	January 27, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Atty. Docket No. PIA31069/ANS/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

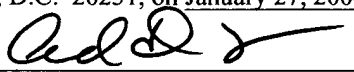
Sang Hun Oh : GROUP ART UNIT:

SERIAL NO: 10/751,184 :

FILED: December 30, 2003 : EXAMINER:

FOR: Method for Etching a Metal Layer in a Semiconductor Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 27, 2004.

By: 
Andrew D. Fortney, Ph.D.

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

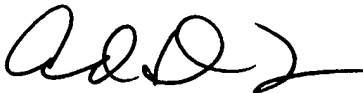
SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086802	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086802
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

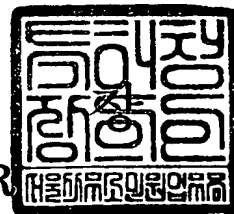
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 10 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0091
【제출일자】 2002.12.30
【발명의 명칭】 반도체 금속 라인 식각 방법
【발명의 영문명칭】 METHOD FOR ETCHING A METAL LINE IN A SEMICONDUCTOR DEVICE
【출원인】
【명칭】 아남반도체 주식회사
【출원인코드】 1-1998-002671-9
【대리인】
【성명】 장성구
【대리인코드】 9-1998-000514-8
【포괄위임등록번호】 1999-068046-1
【대리인】
【성명】 김원준
【대리인코드】 9-1998-000104-8
【포괄위임등록번호】 1999-068052-0
【발명자】
【성명의 국문표기】 오상훈
【성명의 영문표기】 OH, SANG HUN
【주민등록번호】 700117-1932134
【우편번호】 420-807
【주소】 경기도 부천시 원미구 도당동 222
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
한 출원심사를 청구합니다. 대리인
장성구 (인) 대리인
김원준 (인)
【수수료】
【기본출원료】 11 면 29,000 원
【가산출원료】 0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	362,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

반도체 금속 라인 식각 방법을 개시한다.

본 발명에 따른 반도체 금속 라인 식각 방법은, 아크층을 O_2 계열의 가스를 사용하여 건식 세정(dry cleaning)한 후, Cl_2/CHF_3 계열의 가스를 사용하여 건식 세정하는 단계를 포함하는 것을 특징으로 한다.

즉, 본 발명은, 반도체 건식 세정 공정에서 F 계열 가스를 이용한 건식 세정 공정을 추가하여 챔버내에 증착되어 있는 Si-X 계열의 폴리머 물질을 제거함으로써, 마이크로 로딩 효과를 최소화하여 웨이퍼 전 영역의 금속 배선을 동시에 형성하고 웨이퍼 에지 영역의 식각을 감소 현상을 극복할 수 있다.

【대표도】

도 2b

【명세서】**【발명의 명칭】**

반도체 금속 라인 식각 방법(METHOD FOR ETCHING A METAL LINE IN A SEMICONDUCTOR DEVICE)

【도면의 간단한 설명】

도 1a 및 도 1b는 종래의 반도체 금속 라인 식각 방법을 설명하는 공정 단면도,

도 2a 및 도 2b는 본 발명의 바람직한 실시예에 따른 반도체 금속 라인 식각 방법을 설명하기 위한 공정 단면도,

도 3은 본 발명과 종래 기술의 식각율 마이크로 로딩 차이를 단적으로 보여주는 식각율 데이터의 비교 그래프.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|------------|-------------------|
| 1 : 포토레지스트 | 2 : 반사 방지막 |
| 3 : Al막 | 4 : 산화막 |
| 5 : TiN막 | 6 : 콘택트 홀 또는 비아 홀 |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 디바이스의 금속 라인을 형성하는 기술에 관한 것으로, 특히, 마이크로 로딩(microloading) 현상을 억제하면서 웨이퍼 전 영역의 금속 라인을 동시에 형성하는데 적합한 반도체 금속 라인 식각 방법에 관한 것이다.

- <9> 디바이스의 고집적화 및 고속화로 인해 최근의 반도체 소자 제조 기술에서는 $0.25\mu\text{m}$ 이하의 미세 금속 라인이 요구되고 있으며, 이로 인해 포토 디파인 마진(photo define margin) 확보를 위한 DUV 포토레지스트의 사용이 일반화되고 있는 추세이다.
- <10> 이러한 포토레지스트는 금속 라인의 반사율(reflectance)에 민감한 바, 정상적인 포토레지스트 패턴 형성을 위해서는 반사율을 줄일 필요가 있으므로, 금속 라인 상부에 옥사이드 계열의 반사 방지막(antireflective layer)을 사용하게 되었다.
- <11> 그런데, 이러한 반사 방지막을 금속 식각 챔버에서 인-시투(In-situ) 식각하는 과정에서, 웨이퍼의 센터(center) 영역과 에지(edge) 영역간의 마이크로 로딩 효과로 인해 디바이스의 기능이 저하될 수 있다는 문제가 제기되었다. 이러한 현상은 특히 센터 영역으로부터 보다 멀리 떨어진 파 에지(far edge) 영역에서 더 심각하게 나타날 수 있다.
- <12> 물론, 이러한 마이크로 로딩 효과를 감소시키기 위해 배선의 균일성(uniformity)을 개선하는 방안이 시도되기는 하였지만, 이러한 균일성을 개선하는데에는 어느 정도 한계가 있는바, 웨이퍼 영역간의 식각율 차이를 극복할 수는 없는 실정이다. 이러한 원인은 챔버 내 폴리머 증착이 과도 밀접한 관계를 가지기 때문이며, 특히 Si-X 계열의 아크 재료가 챔버내에 증착되는 경우에 그 현상은 더욱 커지게 된다.
- <13> 도 1a 및 도 1b는 각각 아크층을 식각한 후, 금속층을 식각한 후의 공정 단면도이다.
- <14> 도 1a에 도시한 바와 같이, 아크층을 제거하는 단계에서는 센터 영역에서의 식각율이 빨라 센터 영역이 일찍 노출된 반면, 에지 영역에서는 금속층(3)이 노출된 정도가 적은 것을 알 수 있다.

- <15> 또한, 도 1b에 도시한 바와 같이, 금속층(3)을 식각한 후에도 에지 영역에서의 TiN막(5)의 노출 정도가 센터 영역에서보다 현저히 적음을 알 수 있다.
- <16> 즉, 종래의 공정에서는, 아크층은 식각율이 웨이퍼의 센터 영역에서 빠른 특성을 나타내며, 이로 인해 일찍 노출된 센터 영역은 과도한 식각이 이루어지고 에지 영역은 언더컷(undercut)이 유발될 가능성이 높아지는 것이다.
- <17> 이러한 현상은 실제 식각을 체크시에도 나타나며, 웨이퍼 에지 배제(exclusion) 10mm를 기준으로 파 에지 영역과 센터 영역의 식각율을 비교해 보면, 1400Å 이상 차이가 난다는 사실을 실험 결과로 알 수 있었다.

【발명이 이루고자 하는 기술적 과제】

- <18> 본 발명은 상술한 문제를 해결하기 위해 안출한 것으로, 반도체 건식 세정(dry cleaning) 공정에서 F 계열 가스를 이용한 건식 세정 공정을 추가하여 챔버내에 증착되어 있는 Si-X 계열의 폴리머 물질을 제거함으로써, 마이크로 로딩 효과를 최소화하여 웨이퍼 전 영역의 금속 배선을 동시에 형성하고 웨이퍼 에지 영역의 식각율 감소 현상을 극복하도록 한 반도체 금속 라인 식각 방법을 제공하는데 그 목적이 있다.
- <19> 이러한 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따르면, O₂ 계열의 아크층을 포함하는 반도체 금속 배선 형성 방법에 있어서, 아크층을 O₂ 계열의 가스를 사용하여 건식 세정(dry cleaning)한 후, Cl₂/CHF₃ 계열의 가스를 사용하여 건식 세정하는 단계를 포함하는 반도체 금속 라인 식각 방법을 제공한다.

【발명의 구성 및 작용】

- <20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

<21> 도 2a는 본 발명의 바람직한 실시예에 따라 아크층이 식각되는 과정을 설명하기 위한 단면도이고, 도 2b는 본 발명의 바람직한 실시예에 따라 반도체 금속층이 식각되는 과정을 설명하기 위한 공정 단면도이다.

<22> 도 2a에 도시한 바와 같이, 아크층의 식각이 끝난 후 센터 영역과 에지 영역간의 식각 깊이차가 거의 없음을 알 수 있다.

<23> 이로 인해, 도 2b에 도시한 바와 같이, 아크층이 제거된 후에 금속층(3)이 동시에 식각될 수 있다.

<24> 이러한 과정은 다음 [표 1]에 나타난 바와 같은 제 2 단계의 공정을 거쳐 구현될 수 있다.

<25> [표 1]

	압력 (mTorr)	소스파워 (W)	바이어스파워 (W)	O ₂ (sccm)	Cl ₂ (sccm)	CHF ₃ (sccm)
제1단계	8~50	500~1200	0~10	300~500	0	0
제2단계	8~50	500~1200	0~10	0	100~200	5~30

<27> 즉, [표 1]의 제2단계에서와 같이, Cl₂/CHF₃ 계열의 건식 세정 공정을 통해 챔버내 증착되어 있는 부산물들인 AlCl_x, Si-X 등의 폴리머를 제거함으로써, 도 2a 및 도 2b에 도시한 바와 같은 공정 결과를 얻을 수 있는 것이다.

<28> 이때, 본 과정은 바람직하게는 5 내지 30초의 시간내에서 수행되는 것을 특징으로 한다.

<29> 도 3은 이러한 본 발명과 종래 기술의 식각율을 비교한 그래프이다.

<30> 도 3에서 알 수 있는 바와 같이, 종래 기술에 비해 본 발명에서는 식각율의 마이크로 로딩 현상이 적은 바, 센터 영역과 에지 영역간의 식각율이 거의 일정하다는 사실을 알 수 있다.

<31> 이때, 본 데이터는, 에지 영역의 경우, 웨이퍼 에지 10mm를 기준으로 측정하였다.

【발명의 효과】

- <32> 따라서, 본 발명은 웨이퍼 에지 영역에서의 반응이 저해되지 않아 에지 영역의 식각율 감소 현상을 극복할 수 있다. 실험적으로, 웨이퍼 에지 배제 10mm를 기준으로 파 에지 영역과 센터 영역의 식각율을 비교해 보면, 식각률 차이가 거의 나타나지 않았으며, 이로 인해 실제 파 에지 영역에서 발생할 수 있는 금속 언더컷 현상을 미연에 방지할 수 있다.
- <33> 즉, 본 발명은 금속 식각 공정의 신뢰성을 높일 수 있을 뿐만 아니라, 대구경화 되어가고 있는 반도체 공정에서 그 효과가 더욱 클것으로 기대된다. 또한, 아크층을 갖는 금속의 식각 공정시 건식 세정을 적용함에 있어 나타나는 시즈닝 효과(seasoning effect)를 줄일 수 있는 효과가 있다.
- <34> 이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 후술하는 특허청구범위내에서 여러 가지 변형이 가능한 것은 물론이다.

【특허청구범위】**【청구항 1】**

O₂ 계열의 아크층을 포함하는 반도체 금속 배선 형성 방법에 있어서,

상기 아크층을 상기 O₂ 계열의 가스를 사용하여 건식 세정(dry cleaning)한 후, Cl₂/CHF₃ 계열의 가스를 사용하여 건식 세정하는 단계를 포함하는 반도체 금속 라인 식각 방법.

【청구항 2】

제 1 항에 있어서,

상기 Cl₂ 계열 가스는 100 내지 200sccm으로 설정되는 것을 특징으로 하는 반도체 금속 라인 식각 방법.

【청구항 3】

제 1 항에 있어서,

상기 CHF₃ 계열 가스는 5 내지 30sccm으로 설정되는 것을 특징으로 하는 반도체 금속 라인 식각 방법.

【청구항 4】

제 1 항에 있어서,

상기 단계에서의 압력은 8 내지 50mTorr로 설정되는 것을 특징으로 하는 반도체 금속 라인 식각 방법.

【청구항 5】

제 1 항에 있어서,

상기 단계에서의 소스 파워(source power)는 500 내지 1200W로 설정되는 것을 특징으로 하는 반도체 금속 라인 식각 방법.

【청구항 6】

제 1 항에 있어서,

상기 단계에서의 바이어스 파워(bias power)는 0 내지 10W로 설정되는 것을 특징으로 하는 반도체 금속 라인 식각 방법.

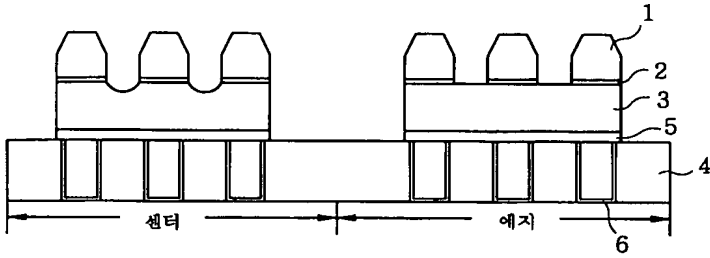
【청구항 7】

제 1 항에 있어서,

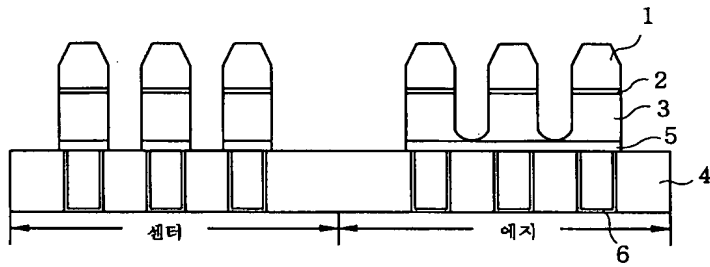
상기 단계의 진행 시간은 5 내지 30초로 설정되는 것을 특징으로 하는 반도체 금속 라인 식각 방법.

【도면】

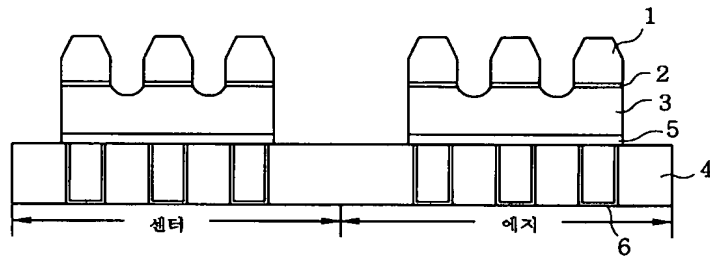
【도 1a】



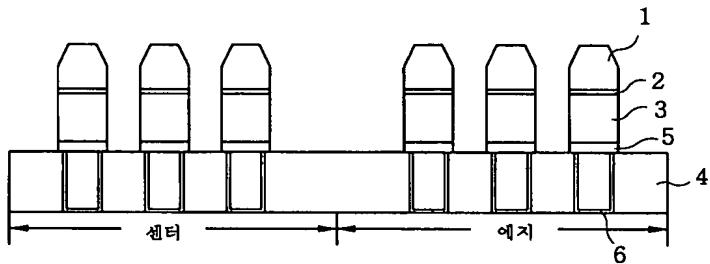
【도 1b】



【도 2a】



【도 2b】



【도 3】

